

15.11.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 13 JAN 2005

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2004年 6月22日

出 願 番 号
Application Number: 特願2004-183382
[ST. 10/C]: [JP2004-183382]

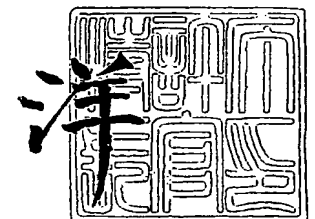
出 願 人
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年12月24日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 5037660007
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 15/04
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 舟橋 順正
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 岡田 康幸
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100086737
 【弁理士】
 【氏名又は名称】 岡田 和秀
 【電話番号】 06-6376-0857
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-382547
 【出願日】 平成15年11月12日
【手数料の表示】
 【予納台帳番号】 007401
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9305280

【書類名】 特許請求の範囲**【請求項 1】**

コンペア線と、マッチ線と、ビット線と、ワード線と、メモリ部と、前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、一致キャンセル回路とを備えたCAM回路であって、

前記一致キャンセル回路によって書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更することを特徴とするCAM回路。

【請求項 2】

コンペア線と、マッチ線と、ビット線と、ワード線と、メモリ部と、前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込み命令信号と前記ワード線の両方がイネーブル状態であることを検出し、対応するマッチ線を不一致とさせることを特徴とするCAM回路の出力方法。

【請求項 3】

請求項 1 に記載のCAM回路において、さらに、

コラムセレクト信号に応じて前記ビット線を選択するコラムセレクト回路を備え、

前記一致キャンセル回路によって前記書き込み命令信号と前記ワード線の値と前記コラムセレクト信号の値に応じて前記マッチ線の値を変更することを特徴とするCAM回路。

【請求項 4】

請求項 3 に記載のCAM回路の出力方法であって、メモリへの書き込み動作と検索動作が同クロックサイクルにて命令されたとき、前記書き込み命令信号と前記ワード線と前記コラムセレクト信号の全てがイネーブル状態であることを検出し、対応するマッチ線を不一致とさせることを特徴とするCAM回路の出力方法。

【請求項 5】

請求項 1 に記載のCAM回路において、さらに、

書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路を備え、

前記書き込みデータ比較回路の出力に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とするCAM回路。

【請求項 6】

請求項 2 に記載のCAM回路の出力方法であって、メモリへの書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とするCAM回路の出力方法。

【請求項 7】

コンペア線と、マッチ線と、ビット線と、ワード線と、CAMメモリ部からなるCAMメモリセルと、

前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、

マスクビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路であって、

前記一致キャンセル回路によって前記書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更し、かつ前記書き込みデータ比較回路の出力に応じて書き込みアド

レスの一致検出結果を変更することを特徴とするCAM回路。

【請求項8】

コンペア線と、マッチ線と、ビット線と、ワード線と、CAMメモリ部からなるCAMメモリセルと、

前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、

マスクビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込み命令信号と前記ワード線の両方がイネーブル状態であることを検出し、対応するマッチ線を不一致とさせ、かつ前記書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と前記検索データとの比較を前記CAMメモリ部及び前記マスクメモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とするCAM回路の出力方法。

【請求項9】

メモリへの書き込み動作及び検索動作が行われる期間を1クロックサイクル内で分割し、それぞれの期間で前記メモリへの書き込み動作及び前記検索動作を完結させることで検索動作時にメモリ内部が不定値となることを防ぎ、前記メモリへの書き込み動作及び前記検索動作を同クロックサイクルにて行うことを特徴とするCAM回路。

【書類名】明細書

【発明の名称】CAM回路及びその出力方法

【技術分野】

【0001】

本発明は、CAM (Content Addressable Memory) 回路に関するものである。CAMは、データを指定すると、その値と同じ記憶データを保持するアドレスが得られるメモリであり、ネットワークスイッチ、キャッシュメモリ等の用途に使われる。

【背景技術】

【0002】

一般に、CAMでは、検索データと格納データの一致検出を全ビット並行に行い、アドレス毎の検索結果を出力するという検索動作が行われる。CAMの動作には、格納データを書き込むための書き込み動作と、格納データを読み出すための読み出し動作と、検索データと格納データの一致を検出するための検索動作がある。

【0003】

図10に従来のCAMのメモリセル構成を示す。100はCAMメモリセルである。一般にCAMのメモリセルは、データを格納するメモリ部101と、メモリ部101に格納されたデータとCAM外部より入力された検索データとの一致を検出するデータ比較部102からなる。データ比較部102には、検索データを印加するためのコンペア線CP及び反コンペア線/C Pが接続されている。

【0004】

この構成において書き込み動作とは、書き込みアドレスのワード線WLを“H”にし、N c hトランジスタ103, 104をONさせ、書き込みデータとその反転データであるビット線及び反ビット線の値をインバータ105, 106で格納するという動作である。

【0005】

また、検索動作とは、マッチ線MTをプリチャージしておき、データ比較部102にて検索データとその反転データであるコンペア線CP及び反コンペア線/C Pの値と格納データとを比較し、一致していればマッチ線MTは“H”を保持し、不一致ならば“L”になるという動作である。

【0006】

例えば、格納データが“1”のとき、インバータ106の出力は“H”であり、インバータ105の出力は“L”であり、それぞれに対応するN c hトランジスタ107, 108がそれぞれONとOFFになっている。この状態でコンペア線CPに“1”を、反コンペア線/C Pに“0”を与えると、N c hトランジスタ109はOFF状態を保ち、プリチャージされたマッチ線MTは“H”を保持する。すなわち、格納データが“1”で検索データも“1”で両者が一致しているのでマッチ線MTは“H”となる。

【0007】

上記とは逆に、コンペア線CPに“0”を、反コンペア線/C Pに“1”を与えると、N c hトランジスタ109はON状態となり、マッチ線MTは“L”となる。すなわち、格納データが“1”で検索データが“0”で両者が不一致であるのでマッチ線MTは“L”となる。

【0008】

また、CAMにはマスク機能を持つものもある。図11はマスク機能を持った従来のCAMのメモリセル構成である。マスクメモリセル202に“1”が格納されているとき、マスクメモリセル202に接続されたデータ比較部203内のN c hトランジスタ204はOFFしているため、メモリ部201の状態によらず、マッチ線MTは“H”となる。

【0009】

図12はCAMの書き込み動作を表すタイミングチャートであり、図13はCAMの検索動作を表すタイミングチャートである。

【特許文献1】特開平9-198878号公報 (第3頁、第26図)

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかし従来の回路構成では、書き込み動作と検索動作が同クロックサイクルにて命令された場合、図14に示すように、検索データと比較されるのはメモリ部に書き込み中の不確定なデータであるため、マッチ線の出力が不確定になってしまうという不都合があった。そして、この不都合を回避するために、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がある。

【課題を解決するための手段】

【0011】

本発明は、上記の課題を解決するために次のような手段を講じる。

【0012】

第1の解決手段として、本発明によるCAM回路は、

コンペア線と、マッチ線と、ビット線と、ワード線と、メモリ部と、前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、一致キャンセル回路とを備えたCAM回路であって、

前記一致キャンセル回路によって書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更することを特徴とする。

【0013】

この構成によれば、書き込み動作と検索動作が同クロックサイクルにて命令された場合、メモリ部への書き込み命令信号とワード線の値とマッチ線の値がともに活性化されるが、書き込みアドレスでは、一致キャンセル回路は、書き込み命令信号とワード線の値の活性化に伴って動作し、その結果として、マッチ線の値を活性化とは異なる状態に変更する。つまり、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなす。書き込み中で不安定なデータに対しては、検索データとの比較において、その比較結果を強制的に不一致とする。ここでは、検索データと格納データとの比較は禁止せずに実行している。一致キャンセル回路は、書き込みアドレス以外のアドレスでは、検索データと格納データとの比較を普通に実行する。以上のように、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

【0014】

上記第1の解決手段のCAM回路をCAM回路の出力方法として展開するときは、次のようにいうことができる。すなわち、

コンペア線と、マッチ線と、ビット線と、ワード線と、メモリ部と、前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込み命令信号と前記ワード線の両方がイネーブル状態であることを検出し、対応するマッチ線を不一致とさせることである。

【0015】

これによれば、上記と同様にして、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

【0016】

第2の解決手段として、本発明によるCAM回路は、

上記第1の解決手段のCAM回路において、さらに、

コラムセレクト信号に応じて前記ビット線を選択するコラムセレクト回路を備えており、一致キャンセル回路によって、前記書き込み命令信号と前記ワード線の値と前記コラムセレクト信号の値に応じて前記マッチ線の値を変更することを特徴とする。

【0017】

この構成によれば、書き込み動作と検索動作が同クロックサイクルにて命令されたとき、前記ワード線がイネーブルになる全アドレスの検索結果を不一致とみなすのではなく、

前記ワード線とコラムセレクト信号によって選択されたアドレスの検索結果のみを不一致とみなす。以上のように、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかもコラムアドレスを持つ場合において、選択されていないアドレスを不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することができる。

【0018】

上記第2の解決手段のCAM回路をCAM回路の出力方法として展開するときは、次のようにいうことができる。すなわち、

上記第1の解決手段のCAM回路において、さらに、コラムセレクト信号に応じて前記ビット線を選択するコラムセレクト回路を備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、前記書き込み命令信号と前記ワード線と前記コラムセレクト信号の全てがイネーブル状態であることを検出し、対応するマッチ線を不一致とさせることである。

【0019】

第3の解決手段として、本発明によるCAM回路は、

上記第1の解決手段のCAM回路において、さらに、

書き込みデータが前記メモリ部に書き込まれるまでの経路（すなわち当該CAM回路のデータ入力部から前記ビット線までの経路）の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路を備え、

前記書き込みデータ比較回路の出力に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とする。

【0020】

この構成によれば、書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込みアドレスでも検索動作を実行する。ただし、その検索動作は、書き込みデータが書き込みアドレスに格納された後ではなく、書き込みデータがメモリに書き込まれる前の経路での、書き込みデータと検索データとの比較を通じて行う。データ比較部で得られた比較結果は、一致キャンセル回路によって強制的に不一致とするが、書き込みデータ比較回路の方で検索動作を遂行するのである。書き込みデータ比較回路における書き込みデータと検索データとの比較結果が不一致を示すときは、一致キャンセル回路での強制不一致の処理を生かすが、書き込みデータ比較回路での比較結果が一致を示すときは、一致キャンセル回路での強制不一致の処理をネグレクトして、検索動作の結果を一致とするのである。以上のように、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することができる。

【0021】

上記第3の解決手段のCAM回路をCAM回路の出力方法として展開するときは、次のようにいうことができる。すなわち、上記第1の解決手段のCAM回路の出力方法において、メモリへの書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込みデータが前記メモリ部に書き込まれるまでの経路（すなわち当該CAM回路のデータ入力部から前記ビット線までの経路）の信号と検索データとの比較を前記メモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することである。

【0022】

これによれば、上記と同様にして、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

【0023】

第4の解決手段として、本発明によるCAM回路は、

コンペア線と、マッチ線と、ビット線と、ワード線と、CAMメモリ部からなるCAMメモリセルと、

前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比

較部と、

マスクビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路（すなわち当該CAM回路のデータ入力部から前記ビット線までの経路）の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路であって、

前記一致キャンセル回路によって前記書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更し、かつ前記書き込みデータ比較回路の出力に応じて書き込みアドレスの一致検出結果を変更することを特徴とする。

【0024】

この第4の解決手段は、上記第3の解決手段をマスク機能付きのCAM回路に適用したものに相当する。この構成によれば、マスク機能付きのCAM回路において、上記第3の解決手段の場合と同様の作用が発揮され、上記同様に、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することができる。

【0025】

上記第4の解決手段のCAM回路をCAM回路の出力方法として展開するときは、次のようにいうことができる。すなわち、

コンペア線と、マッチ線と、ビット線と、ワード線と、CAMメモリ部からなるCAMメモリセルと、

前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、

マスクビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路（すなわち当該CAM回路のデータ入力部から前記ビット線までの経路）の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、書き込み命令信号と前記ワード線の両方がイネーブル状態であることを検出し、対応するマッチ線を不一致とさせ、かつ前記書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と前記検索データとの比較を前記CAMメモリ部及び前記マスクメモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することである。

【0026】

これによれば、上記と同様にして、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

【0027】

第5の解決手段として、本発明によるCAM回路は、メモリへの書き込み動作及び検索動作が行われる期間を1クロックサイクル内で分割し、それぞれの期間で前記メモリへの書き込み動作及び前記検索動作を完結させることで検索動作時にメモリ内部が不定値となることを防ぎ、前記メモリへの書き込み動作及び前記検索動作を同クロックサイクルにて行うことを特徴とする。

【0028】

この構成によれば、書き込み動作と検索動作が行われるクロックサイクルを時間的に2分割し、書き込み動作と検索動作のうちのいずれか一方をクロックサイクルの前半、もう

一方をクロックサイクルの後半で行う。その結果、マッチ線の値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクル（前半と後半）にて実現することができる。

【発明の効果】

【0029】

本発明によれば、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

【発明を実施するための最良の形態】

【0030】

以下、本発明の実施の形態を、図面を参照しながら説明する。

【0031】

(第1の実施の形態)

図1は本発明の第1の実施の形態におけるCAM回路のタイミングチャートである。図に示すように、書き込み動作中に格納データが不定になるのは書き込みアドレスの格納データである。したがって、書き込み動作と検索動作が同クロックサイクルにて命令された場合、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなし、書き込みアドレス以外のアドレスの格納データのみとコンペア線及び反コンペア線の値とを比較すれば双方の動作を実現することができる。

【0032】

図2は第1の実施の形態におけるCAM回路の構成図である。図にはCAMメモリセルが2×2の場合を示している。20はメモリ部とデータ比較部よりなるCAMメモリセル、21₁、21₂は一致キャンセル回路、22₁、22₂はAND回路、23₁、23₂はNchトランジスタである。

【0033】

書き込み動作と検索動作が同クロックサイクルにて命令されたとき、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなし、書き込みアドレス以外のアドレスの格納データのみとコンペア線CP及び反コンペア線／CPの値とを比較するには、一致キャンセル回路21₁、21₂を用いて強制的に書き込みアドレスのマッチ線MTを“L”にすればよい。また、一致キャンセル回路21₁、21₂は、1ワードに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ビット分以下である。

【0034】

また、本実施の形態では、一致キャンセル回路21₁、21₂は、AND回路22₁、22₂にてワード線WLの信号と書き込み命令信号とのAND論理をとり、この信号をNchトランジスタ23₁、23₂のゲートに接続し、Nchトランジスタ23₁、23₂のドレイン及びソースはそれぞれマッチ線MT及びグランドに接続するという構成をとっている。

【0035】

この構成において、1ワード目への書き込み動作と検索動作が同クロックサイクルにて命令された場合、ワード線WL1が“H”かつ書き込み命令信号が“H”となり、AND回路22₁が導通してNchトランジスタ23₁がONするため、プリチャージで“H”とされたマッチ線MT1は不定ではなく“L”、つまり不一致という結果になる。

【0036】

なお、信号の極性が異なる場合でも本発明の範囲に含まれる。

【0037】

以上より、本発明の第1の実施の形態によれば、マッチ線MTの値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、双方の動作を実現することができる。

【0038】

(第2の実施の形態)

図3は本発明の第2の実施の形態におけるCAM回路の構成図である。図にはCAMメモリセルが2×2の場合を示している。30, 31はCAMメモリセル、32, 33は一致キャンセル回路、34, 36はAND回路、35はインバータ、37はコラムセレクト回路である。

【0039】

第2の実施の形態は、図2と比べて、AND回路34, 36、インバータ35とコラムセレクト回路37が付加されているという点で異なる。

【0040】

また、本実施の形態では、AND回路34は、書き込み命令信号Swとコラムセレクト信号ScとのAND論理を、またAND回路36は、書き込み命令信号Swとコラムセレクト信号Scのインバータ35による反転信号とのAND論理をとり、これらの信号とワード線WLの信号にてそれぞれの一致キャンセル回路32, 33の動作を制御するという構成をとる。

【0041】

本実施の形態では、コラムセレクト信号Scが“H”のとき、コラムセレクト回路37によってビット線BL1及び反ビット線/B L1が選択され、コラムセレクト信号Scが“L”のとき、コラムセレクト回路37によってビット線BL1' 及び反ビット線/B L1' が選択されるとする。

【0042】

この構成においてCAMメモリセル30へのデータ書き込み動作と検索動作が同クロックサイクルにて命令された場合、AND回路34の出力は“H”かつワード線WL1が“H”となり、CAMメモリセル30の検索結果は強制的に不一致とみなされる。このとき、AND回路36の出力は“L”となるため、ワード線WL1が“H”であってもCAMメモリセル31の検索結果は強制的に不一致とみなされることはない。

【0043】

なお、信号の極性が異なる場合でも本発明の範囲に含まれる

以上より、第2の実施の形態によれば、マッチ線MTの値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかもコラムアドレスが存在するCAMメモリセルにおいて、選択されていないアドレスを不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することが可能となる。

【0044】

(第3の実施の形態)

図4は本発明の第3の実施の形態におけるCAM回路のタイミングチャートである。書き込み動作と検索動作が同クロックサイクルにて命令された場合、コンペア線CP及び反コンペア線/C Pの値と書き込みアドレスの格納データとの比較結果を不一致としておく。そして、書き込みアドレスに格納された後ではなく、書き込みデータがメモリに書き込まれる前の経路、すなわちCAMの書き込みデータ入力端子からメモリのビット線BLまでの経路の信号とコンペア線CP及び反コンペア線/C Pの値との比較結果を書き込みアドレスでの比較結果とすることで、書き込み後の格納データとコンペア線CP及び反コンペア線/C Pの値との比較結果を得ることができる。それと並行して、書き込みアドレス以外のアドレスの格納データとコンペア線CP及び反コンペア線/C Pの値とを比較することで、双方の動作を実現することができる。

【0045】

図5は第3の実施の形態におけるCAM回路の構成図である。図にはCAMメモリセルが2×2の場合を示している。40はCAMメモリセル、41₁, 41₂は一致キャンセル回路、42₁, 42₂は書き込みデータ比較回路、43₁, 43₂はイクスクルーシブOR回路、44₁, 44₂はNc hトランジスタ、45₁, 45₂はAND回路、46₁, 46₂はOR回路である。

【0046】

検索動作時にはマッチイネーブル線MEもマッチ線MTと同様にプリチャージされる。書き込み動作と検索動作が同クロックサイクルにて命令されたとき、検索データと書き込みアドレスの格納データとの検索結果を不一致とし、書き込みデータとコンペア線CP及び反コンペア線/C Pの値との比較結果を書き込みアドレスの比較結果とするには、一致キャンセル回路4 1₁、4 1₂を用いて書き込みアドレスのマッチ線MTを“L”とし、書き込みデータ比較回路4 2₁、4 2₂を用いて書き込みデータとコンペア線CPの値が同じであればマッチイネーブル線MEの“H”信号を保持、異なっていれば“L”にし、AND回路4 5₁、4 5₂にてマッチイネーブル線MEとワード線WLのAND論理をとり、さらにOR回路4 6₁、4 6₂にてその結果とマッチ線MTのOR論理をとり、OR回路4 6₁、4 6₂の出力である一致出力信号S_eを書き込みアドレスの比較結果とすればよい。書き込みデータ比較回路4 2₁、4 2₂は1ビットに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ワード分である。

【0047】

また、本実施の形態では、書き込みデータ比較回路4 2₁、4 2₂は、イクスクルーシブOR回路4 3₁、4 3₂にて書き込みデータとコンペア線CPとのイクスクルーシブOR論理をとり、この信号をNchトランジスタ4 4₁、4 4₂のゲートに接続し、Nchトランジスタ4 4₁、4 4₂のドレイン及びソースはそれぞれマッチイネーブル線ME及びグランドに接続するという構成をとっている。

【0048】

この構成において、1ワード目に2ビットの“11”が書き込まれ、検索データが2ビットの“11”であった場合について考える。1ワード目への書き込み動作と検索動作が同クロックサイクルにて命令された場合、一致キャンセル回路4 1₁によりマッチ線MT₁は強制的に“L”とされるが、ビット線BL₁とコンペア線CP₁が同値であるためイクスクルーシブOR回路4 3₁の出力が“L”でNchトランジスタ4 4₁はOFF、そしてビット線BL₂とコンペア線CP₂も同値であるためイクスクルーシブOR回路4 3₂の出力が“L”でNchトランジスタ4 4₂もOFFであるため、マッチイネーブル線MEは“H”を保つ。ここでワード線WL₁は“H”であるためAND回路4 5₁の出力は“H”となり、マッチ線MT₁の値が“L”であってもOR回路4 6₁の出力つまり一致出力信号S_{e1}は“H”となる。

【0049】

次に、1ワード目に2ビットの“11”が書き込まれ、検索データが2ビットの“01”であった場合、イクスクルーシブOR回路4 3₁の出力は“H”となり、Nchトランジスタ4 4₁がONするため、マッチイネーブル線MEは“L”となり、その結果、一致出力信号S_{e1}は“L”となる。

【0050】

なお、信号の極性が異なる場合でも本発明の範囲に含まれる。

【0051】

また、図6に示すように書き込みデータ比較回路4 2をライトバッファ4 7の前段に挿入する回路も考えられる。

【0052】

以上より、本発明の第3の実施の形態によれば、マッチ線MTの値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することが可能となる。

【0053】

(第4の実施の形態)

本発明の第3の形態について説明する。マスク機能をもつCAM回路においてCAMメモリまたはマスクメモリへの書き込み動作と検索動作が同クロックサイクルにて命令された場合、コンペア線CP及び反コンペア線/C Pの値と書き込みアドレスの格納データとの比較結果を不一致としておく。そして、CAMメモリへの書き込み動作の場合、書き込

みアドレスに格納された後ではなく、書き込みデータがメモリに書き込まれる前の経路、すなわちCAMの書き込みデータ入力端子からメモリのビット線BLまでの経路の信号とコンペア線CP及び反コンペア線/CPの値との比較結果を書き込みアドレスでの比較結果とする。一方、マスクメモリへの書き込み動作の場合、書き込みアドレスに格納された後ではなく、書き込みデータがメモリに書き込まれる前の経路、すなわちCAMの書き込みデータ入力端子からメモリのビット線BLまでの経路の信号が“1”ならば書き込みアドレスでの比較結果を一致とし、“0”ならば不一致とする。それと並行して、書き込みアドレス以外のアドレスの格納データとコンペア線CP及び反コンペア線/CPの値とを比較することで、双方の動作を実現することができる。

【0054】

図7は第4の実施の形態におけるCAM回路の構成図である。図にはCAMメモリセル及びマスクメモリセルが2×2の場合を示している。aがCAMメモリセル、bがマスクメモリセルであり、cがマスクメモリセルbをマッチ線MTにつなぐNchトランジスタである。4₁₁, 4₁₂は一致キャンセル回路、5₁₁, 5₁₂は書き込みデータ比較回路、5₂₁, 5₂₂はイクスクルーシブNOR回路、5₃₁, 5₃₂, 5₄₁, 5₄₂はNAND回路、5₅₁, 5₅₂, 5₆₁, 5₆₂はNchトランジスタである。

【0055】

検索動作時にはマッチイネーブル線MEもマッチ線MTと同様にプリチャージされる。マスク機能をもつCAM回路において、CAMメモリセルaまたはマスクメモリセルbへの書き込み動作と検索動作が同クロックサイクルにて命令された場合、コンペア線CP及び反コンペア線/CPの値と書き込みアドレスの格納データとの比較結果を不一致とし、さらにCAMメモリセルaへの書き込み動作のときは、書き込みデータとコンペア線CP及び反コンペア線/CPの値との比較結果を書き込みアドレスでの比較結果とし、マスクメモリセルbへの書き込み動作のときは、書き込みデータが“1”ならば書き込みアドレスでの比較結果を“H”とし、“0”ならば“L”とするには、次のように構成する。

【0056】

すなわち、書き込み動作と検索動作が同クロックサイクルにて命令された場合、まず一致キャンセル回路4₁₁, 4₁₂を用いて書き込みアドレスのマッチ線MTを“L”とする。そして、書き込みデータ比較回路5₁₁, 5₁₂を用いてマッチイネーブル線MEの値を決定し、その結果とワード線WLのAND論理をとり、さらにその結果とマッチ線MTのOR出力を書き込みアドレスの比較結果とすればよい。書き込みデータ比較回路5₁₁, 5₁₂は1ビットに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ワード分である。

【0057】

また、本実施の形態では、書き込みデータ比較回路5₁₁, 5₁₂は、CAMメモリセルへの書き込みデータとコンペア線CPとのイクスクルーシブNORをとるイクスクルーシブNOR回路5₂₁, 5₂₂と、イクスクルーシブNOR回路5₂₁, 5₂₂の出力とCAMメモリセルaへの書き込み命令信号SwとのNAND論理をとるNAND回路5₃₁, 5₃₂と、マスクメモリセルbへの書き込みデータとマスクメモリセルbへの書き込み命令信号SwのNAND論理をとるNAND回路5₄₁, 5₄₂と、NAND回路5₃₁, 5₃₂の出力がゲートに接続されるNchトランジスタ5₅₁, 5₅₂と、NAND回路5₄₁, 5₄₂の出力がゲートに接続されるNchトランジスタ5₆₁, 5₆₂とで構成され、直列に接続されたNchトランジスタ5₅₁, 5₅₂と5₆₁, 5₆₂を介してマッチイネーブル線MEとグランドが接続されている。

【0058】

この構成において、1ワード目のCAMメモリに2ビットの“11”が書き込まれ、検索データが2ビットの“11”であった場合について考える。1ワード目への書き込み動作と検索動作が同クロックサイクルにて命令された場合、一致キャンセル回路4₁₁によりマッチ線MT1は強制的に“L”とされるが、ビット線BL1とコンペア線CP1が同値であるためイクスクルーシブNOR回路5₂₁の出力は“H”となりかつCAMメモリ

書き込み命令信号 S_w は “H” であるため、NAND 回路 53₁ の出力は “L” となり、Nch トランジスタ 55₁ は OFF、そしてビット線 BL2 とコンペア線 CP2 も同値であるため 1 ビット目と同様の動作により Nch トランジスタ 55₂ も OFF であるため、プリチャージ状態のマッチイネーブル線 ME は “H” を保つ。ここでワード線 WL1 は “H” であるため、AND 回路 45₁ の出力が “H” となり、書き込み動作と検索動作が同クロックサイクルのためにマッチ線 MT1 の値が強制的に “L” にされても、OR 回路 46₁ からの一致出力信号 S_{e1} は “H” となる。

【0059】

次に、1 ワード目の CAM メモリセルに 2 ビットの “11” が書き込まれ、検索データが 2 ビットの “01” であった場合、イクスクルーシブ NOR 回路 52₁ の出力は “L” となり、NAND 回路 53₁ の出力は “H” となり、Nch トランジスタ 55₁ が ON する。またマスクメモリ書き込み命令信号 S_m が “L” であるため、NAND 回路 54₁ の出力は “H” となり、Nch トランジスタ 56₁ も ON する。したがってマッチイネーブル線 ME は “L” となり、その結果、一致出力信号 S_{e1} は “L” となる。

【0060】

また、この構成において、1 ワード目のマスクメモリセルに 2 ビットの “11” が書き込まれる場合について考える。1 ワード目への書き込み動作と検索動作が同クロックサイクルにて命令された場合、一致キャンセル回路 41₁ によりマッチ線 MT1 は強制的に “L” とされるが、マスクビット線 BL1 が “H” であり、かつマスクメモリ書き込み命令信号 S_m は “H” であるため、NAND 回路 54₁ の出力は “L” となり、Nch トランジスタ 56₁ は OFF、そしてマスクビット線 BL2 も “H” であるため 1 ビット目と同様の動作により Nch トランジスタ 56₂ も OFF であるため、マッチイネーブル線 ME は “H” を保つ。ここでワード線 WL1 は “H” であるため、AND 回路 45₁ の出力が “H” となり、書き込み動作と検索動作が同クロックサイクルのためマッチ線 MT1 の値が “L” であっても、OR 回路 46₁ からの一致出力信号 S_{e1} は “H” となる。

【0061】

次に、1 ワード目のマスクメモリに 2 ビットの “01” が書き込まれる場合、NAND 回路 54₁ の出力は “H” となり、Nch トランジスタ 56₁ が ON する。また CAM メモリ書き込み命令信号 S_w が “L” であるため、NAND 回路 53₁ の出力は “H” となり、Nch トランジスタ 55₁ も ON する。したがってマッチイネーブル線 ME は “L” となり、その結果、一致出力信号 S_{e1} は “L” となる。

【0062】

なお、信号の極性が異なる場合でも本発明の範囲に含まれる。

【0063】

本実施の形態では、ライトバッファに入力される前の CAM メモリセルへの書き込みデータ、コンペア線 CP、マスクメモリセルへの書き込みデータにて比較をしているが、図 8 に示すようにデータ比較回路 51 をライトバッファ 57 の前段に挿入する回路も考えられる。

【0064】

以上より、本発明の第 4 の実施の形態によれば、マスク機能付きの CAM 回路において、マッチ線 MT の値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクルにて実現することが可能となる。

【0065】

(第 5 の実施の形態)

図 9 は本発明の第 5 の実施の形態における CAM 回路のタイミングチャートである。図に示すように、書き込み動作と検索動作が行われるクロックサイクルを時間的に 2 分割し、書き込み動作をクロックサイクルの前半、検索動作をクロックサイクルの後半で行うことを特徴とする。本実施の形態では、検索動作が開始されるまでに格納データの書き換え

が完了しているため、検索結果が不定となることはない。また動作の順序を入れ替えて、検索動作をクロックサイクルの前半、書き込み動作をクロックサイクルの後半で行う実施の形態も考えられる。

【0066】

以上より、本発明の第5の実施の形態によれば、マッチ線MTの値が不定となることがないため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要がなく、しかも書き込みアドレスの検索結果を強制的に不一致にすることなく、書き込み動作と検索動作を同クロックサイクル（前半と後半）にて実現することが可能となる。

【産業上の利用可能性】**【0067】**

本発明のCAM回路は、ネットワークスイッチ、キャッシュメモリ等として有用である。

【図面の簡単な説明】**【0068】**

【図1】 本発明の第1の実施の形態におけるCAM回路のタイミングチャート

【図2】 本発明の第1の実施の形態におけるCAM回路の構成図

【図3】 本発明の第2の実施の形態におけるCAM回路の構成図

【図4】 本発明の第3の実施の形態におけるCAM回路のタイミングチャート

【図5】 本発明の第3の実施の形態におけるCAM回路の構成図

【図6】 本発明の第3の実施の形態における別のCAM回路の構成図

【図7】 本発明の第4の実施の形態におけるCAM回路の構成図

【図8】 本発明の第4の実施の形態における別のCAM回路の構成図

【図9】 本発明の第5の実施の形態におけるCAM回路のタイミングチャート

【図10】 従来のCAMのメモリセルの構成図

【図11】 マスク機能を持った従来のCAMのメモリセルの構成図

【図12】 CAMの書き込み動作を表すタイミングチャート

【図13】 CAMの検索動作を表すタイミングチャート

【図14】 書き込み動作と検索動作を同クロックサイクルにて行う場合のタイミングチャート

【符号の説明】**【0069】**

20 CAMメモリセル

21₁, 21₂ 一致キャンセル回路

22₁, 22₂ AND回路

23₁, 23₂ Nchトランジスタ

30, 31 CAMメモリセル

32, 33 一致キャンセル回路

34, 36 AND回路

35 インバータ

37 コラムセレクト回路

40 CAMメモリセル

41₁, 41₂ 一致キャンセル回路

42₁, 42₂ 書き込みデータ比較回路

43₁, 43₂ イクスクルーシブOR回路

44₁, 44₂ Nchトランジスタ

45₁, 45₂ AND回路

46₁, 46₂ OR回路

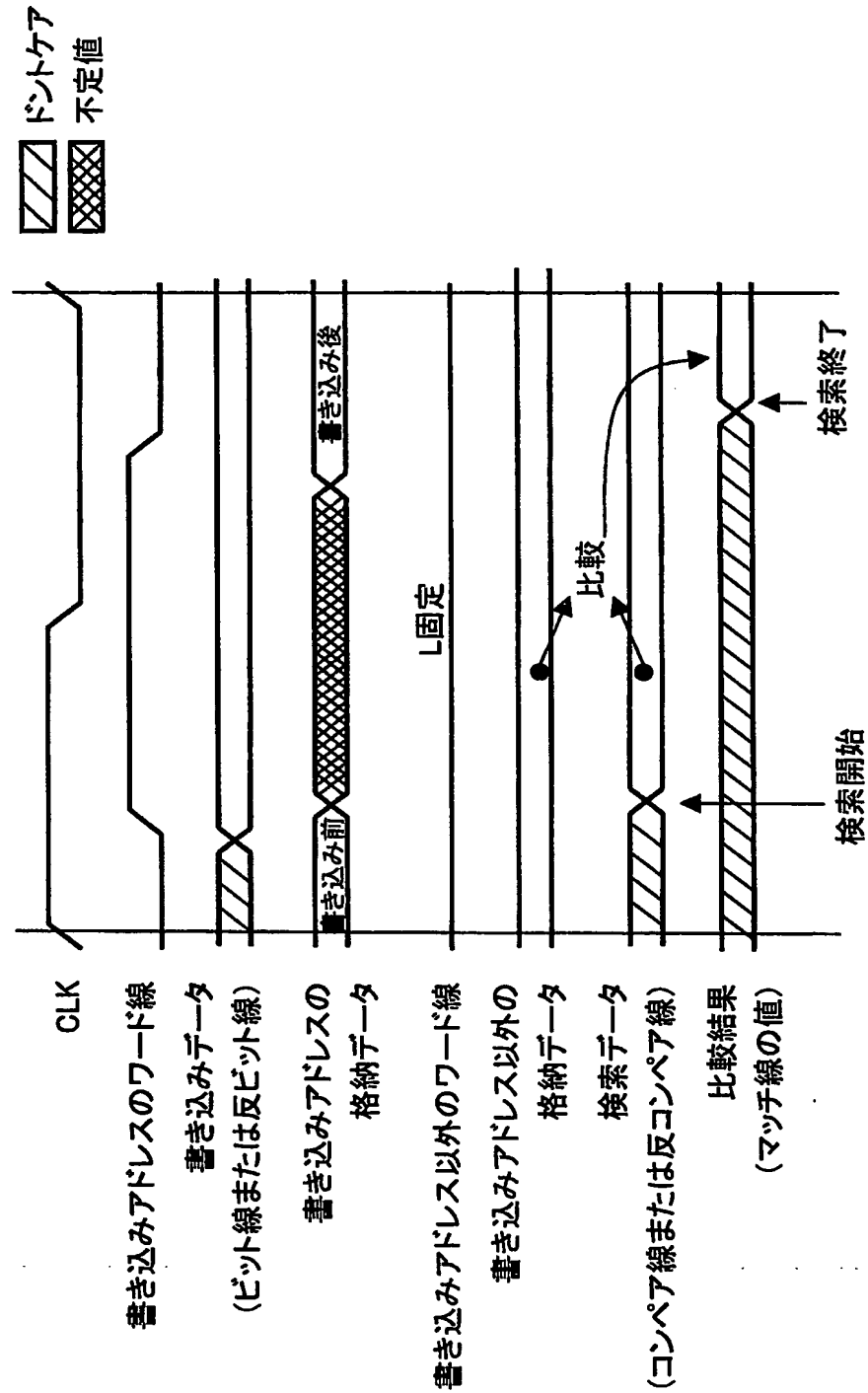
47 ライトバッファ

51₁, 51₂ 書き込みデータ比較回路

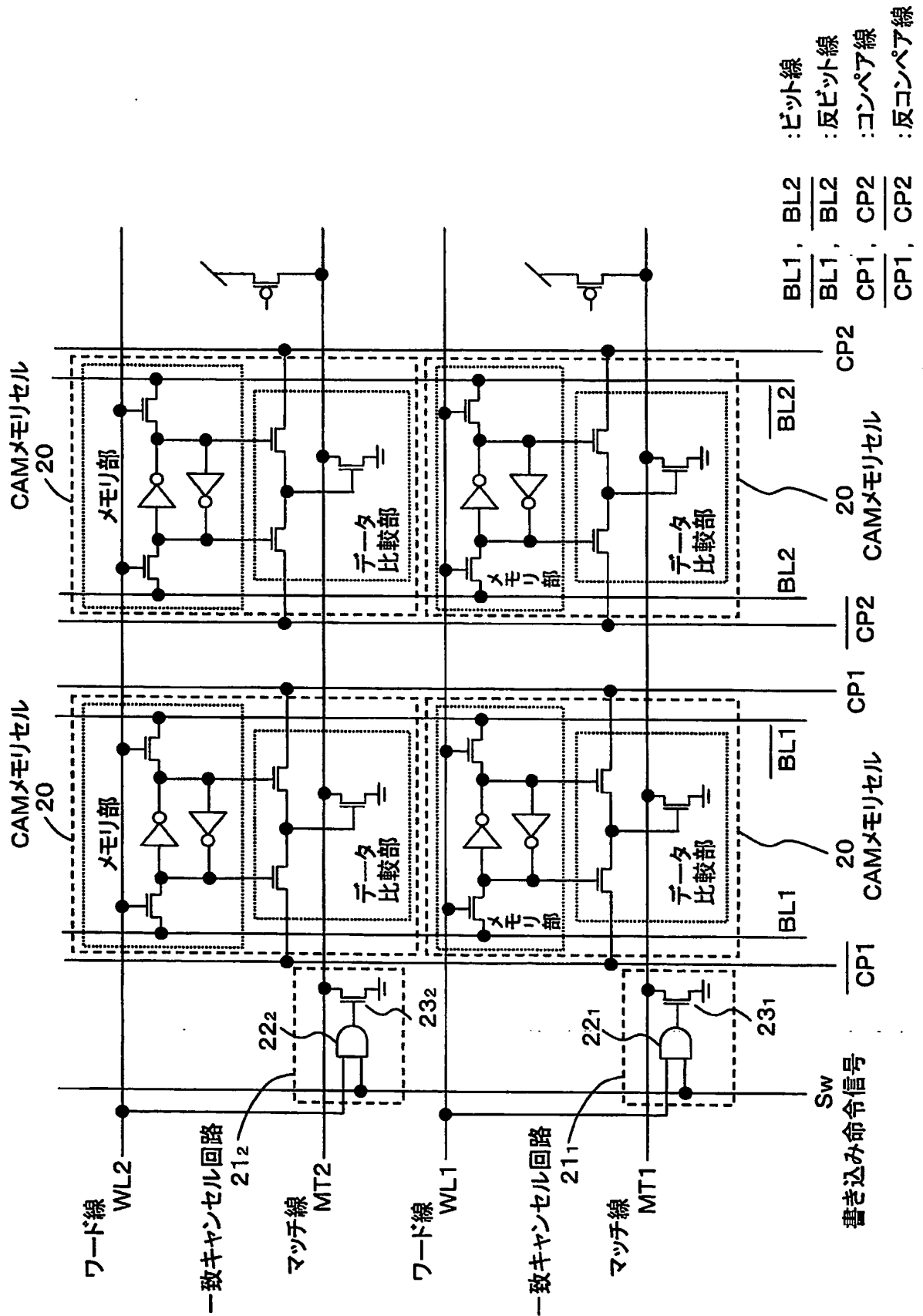
52₁, 52₂ イクスクルーシブNOR回路

53₁, 53₂ NAND回路
54₁, 54₂ NAND回路
55₁, 55₂ Nchトランジスタ
56₁, 56₂ Nchトランジスタ
57 ライトバッファ
100 CAMメモリセル
101 メモリ部
102 データ比較部
103 Nchトランジスタ
104 Nchトランジスタ
105 インバータ
106 インバータ
200 マスク機能付きCAMメモリセル
201 CAMメモリセル
202 マスクメモリセル
203 データ比較部
WL1, WL2 ワード線
BL1, BL2 ビット線
/BL1, /BL2 反ビット線
MT1, MT2 マッチ線
CP1, CP2 コンペア線
/CP1, /CP2 反コンペア線
MB1, MB2 マスクビット線
/MB1, /MB2 反マスクビット線
D1, D2 データ入力
Dm1, Dm2 マスタデータ入力
Sw 書き込み命令信号
Sc コラムセレクト信号
Sm マスクメモリ書き込み命令信号
Se1, Se2 一致出力信号

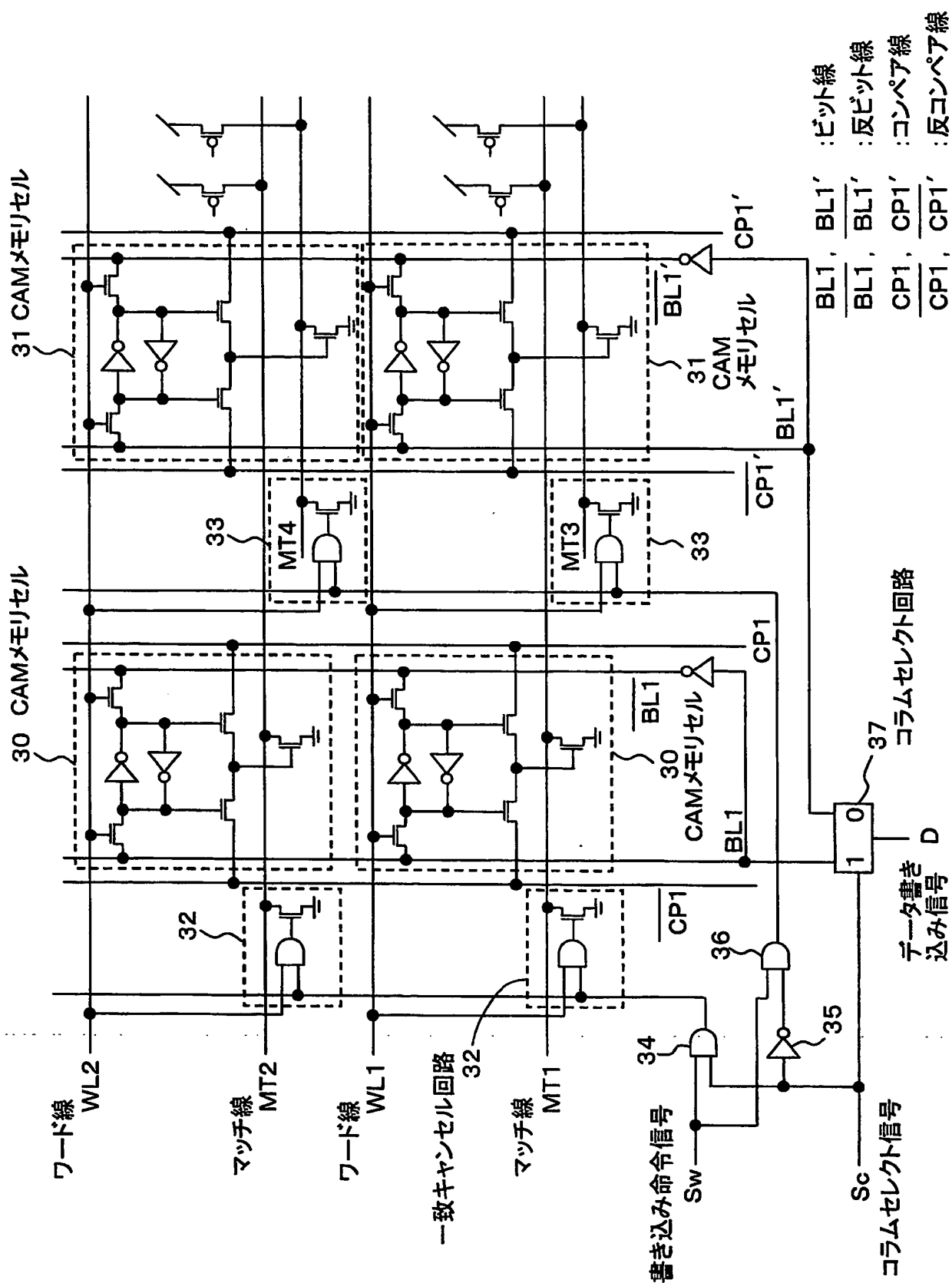
【書類名】 図面
【図 1】



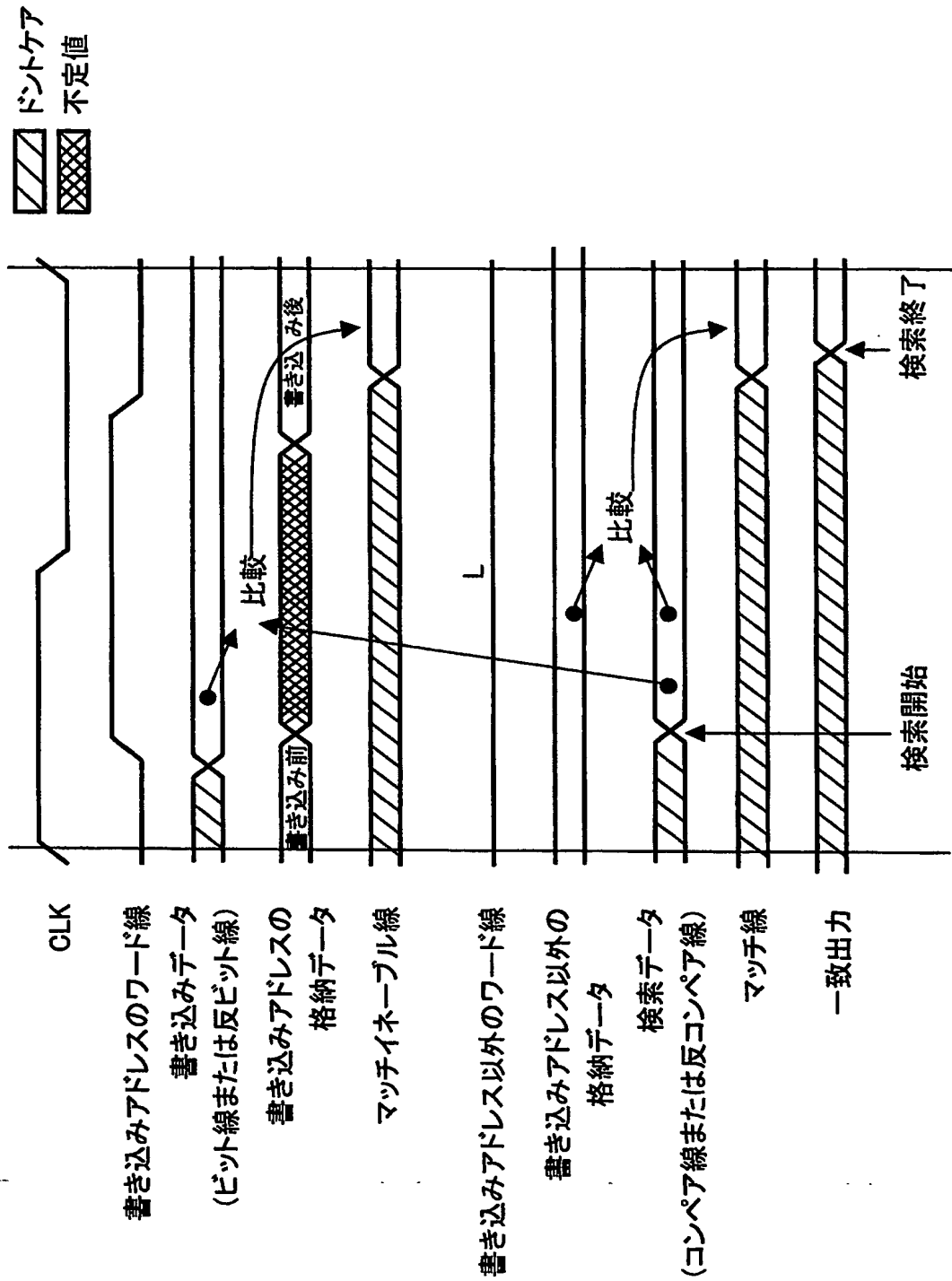
【図2】



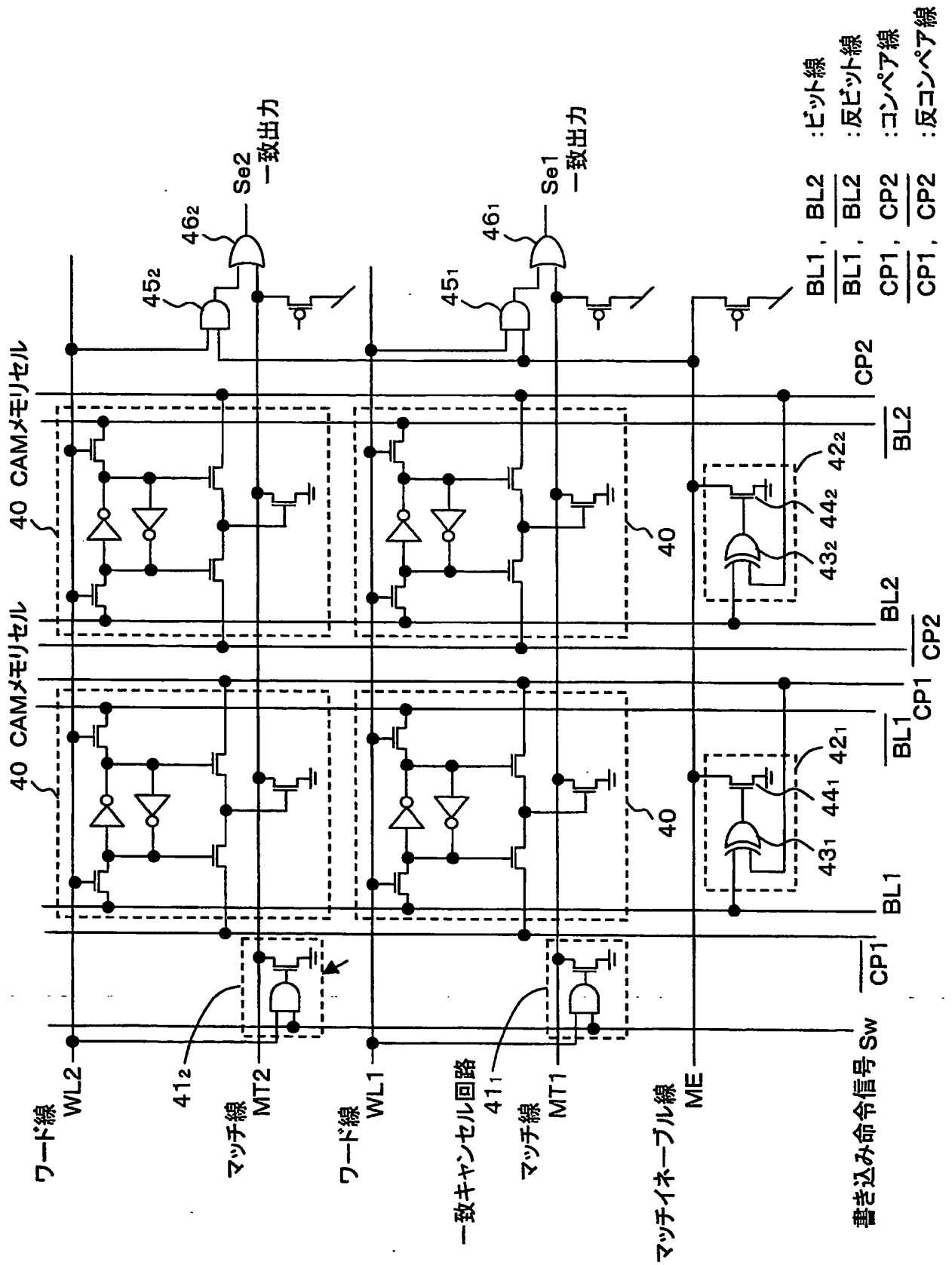
【図 3】



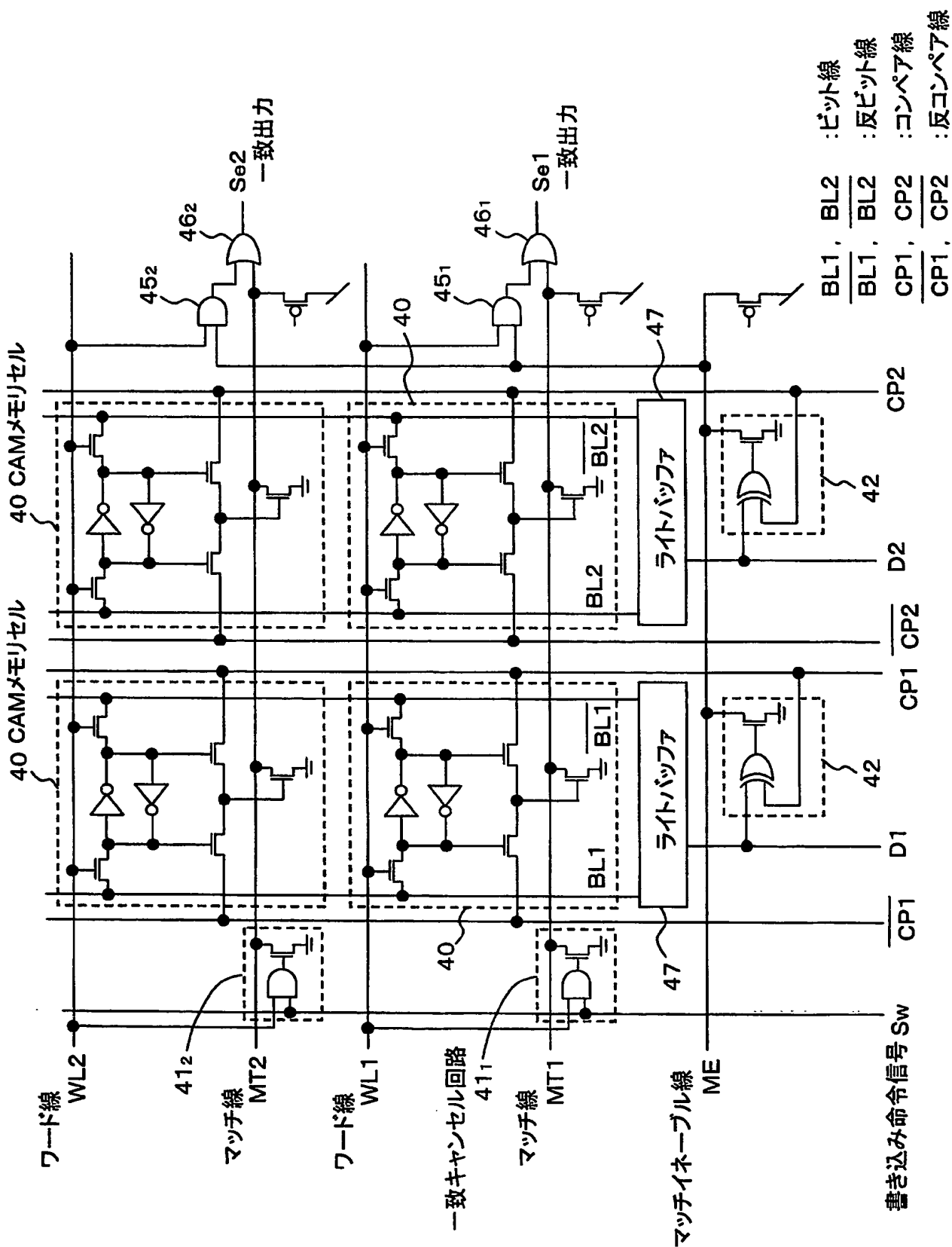
【図 4】



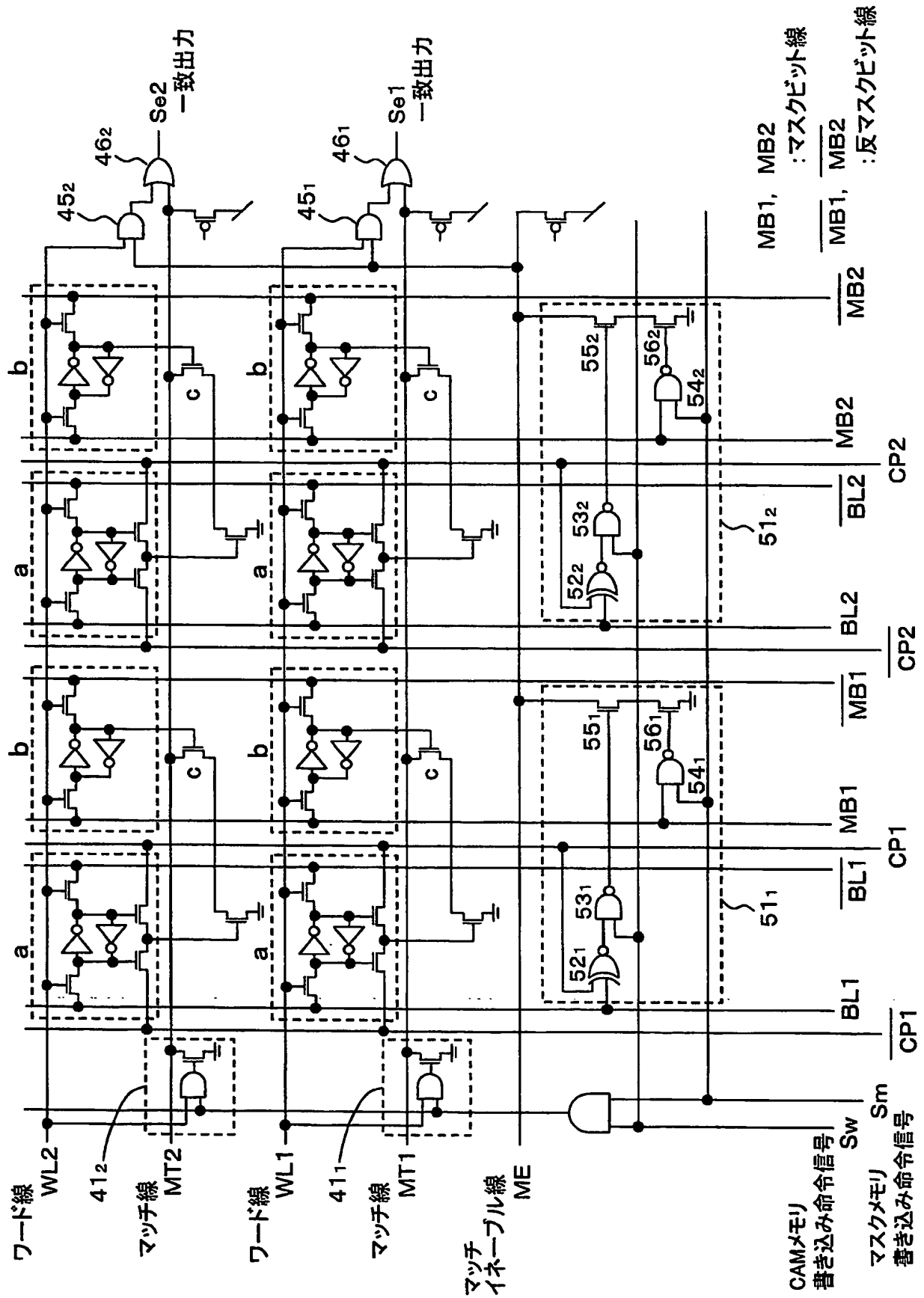
【図5】



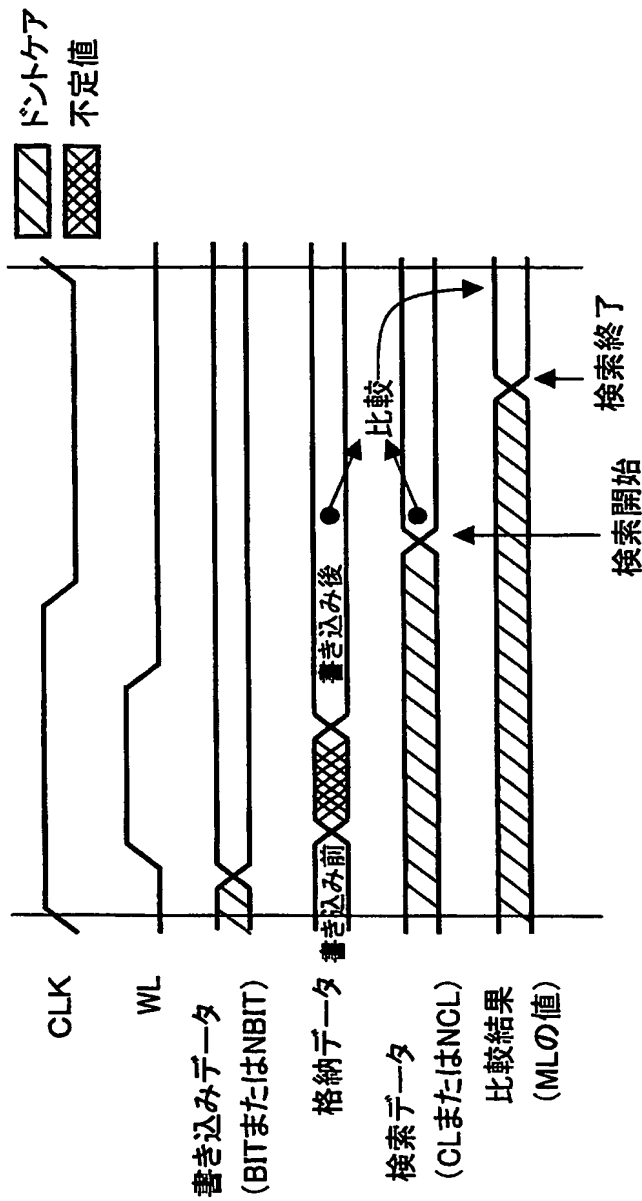
【図 6】



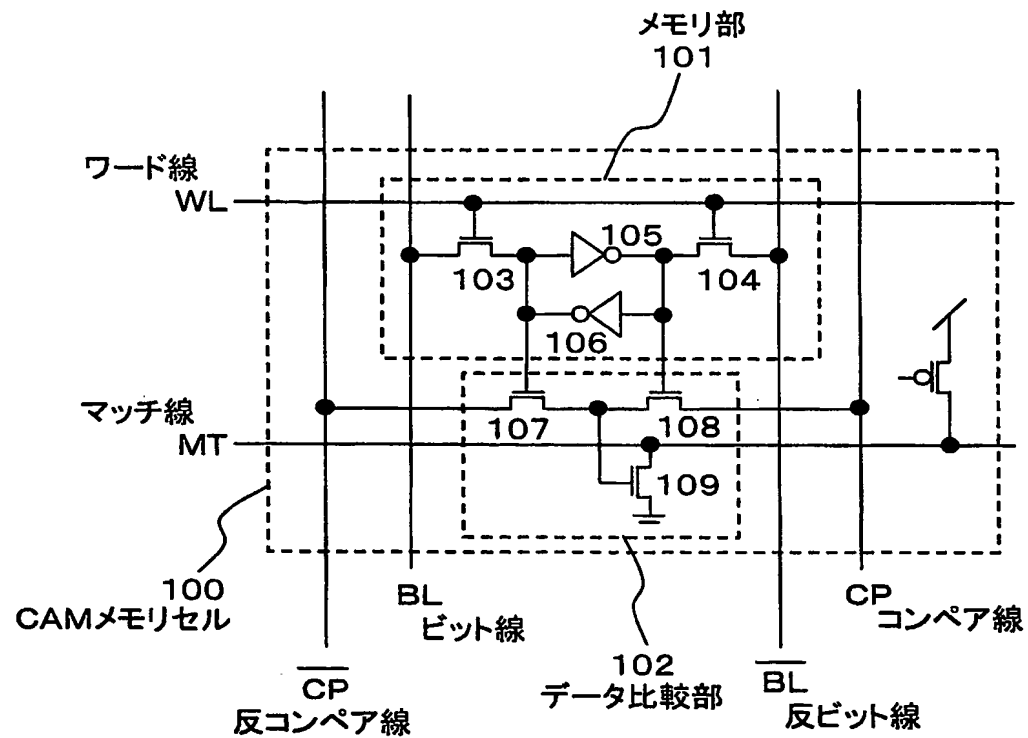
【図7】



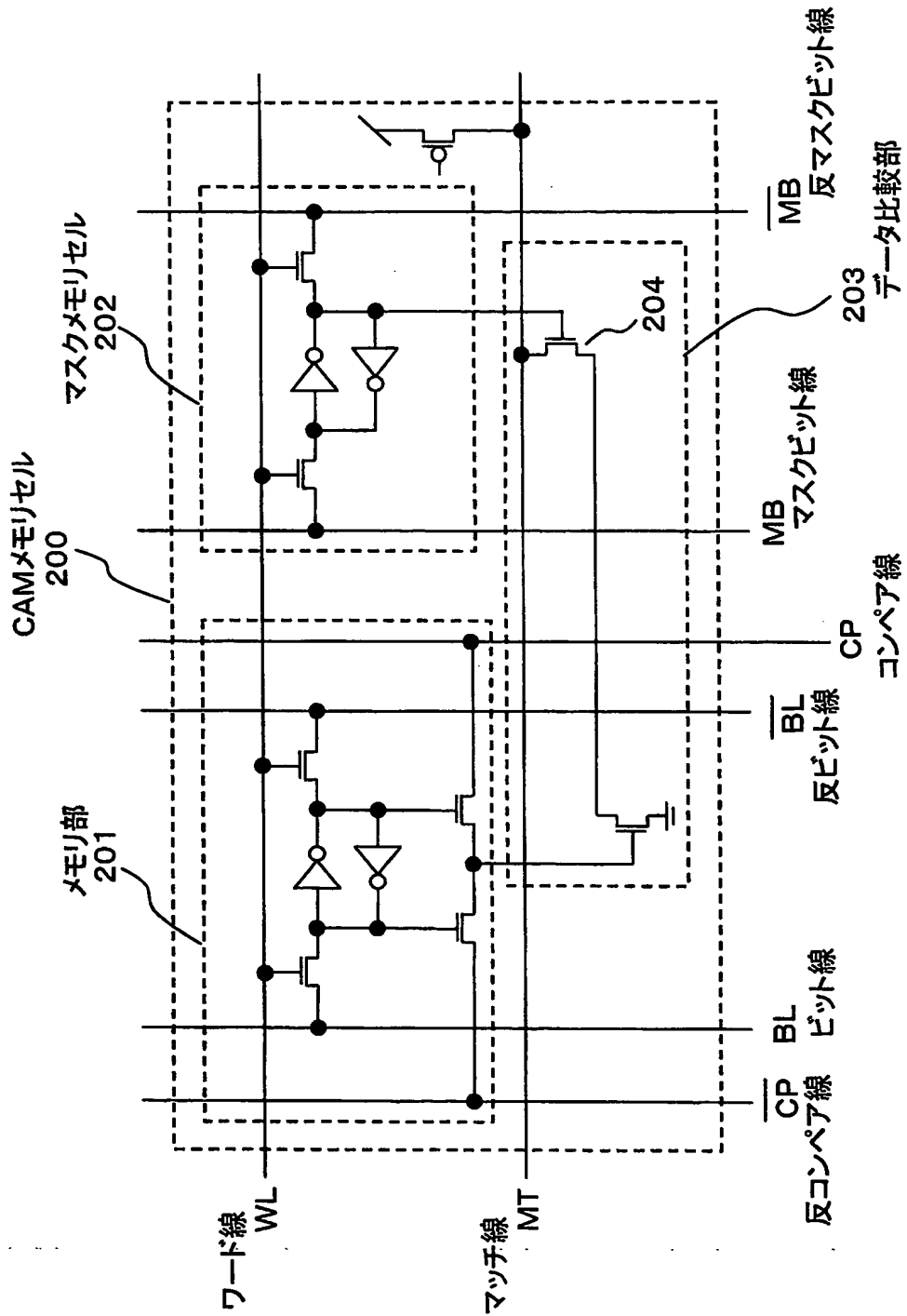
【図 9】



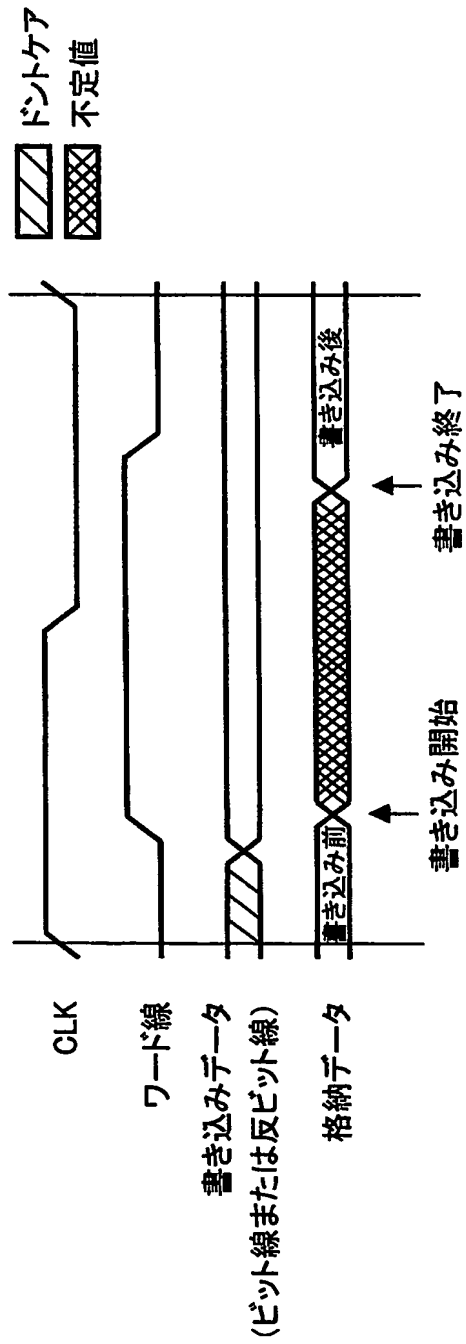
【図 10】



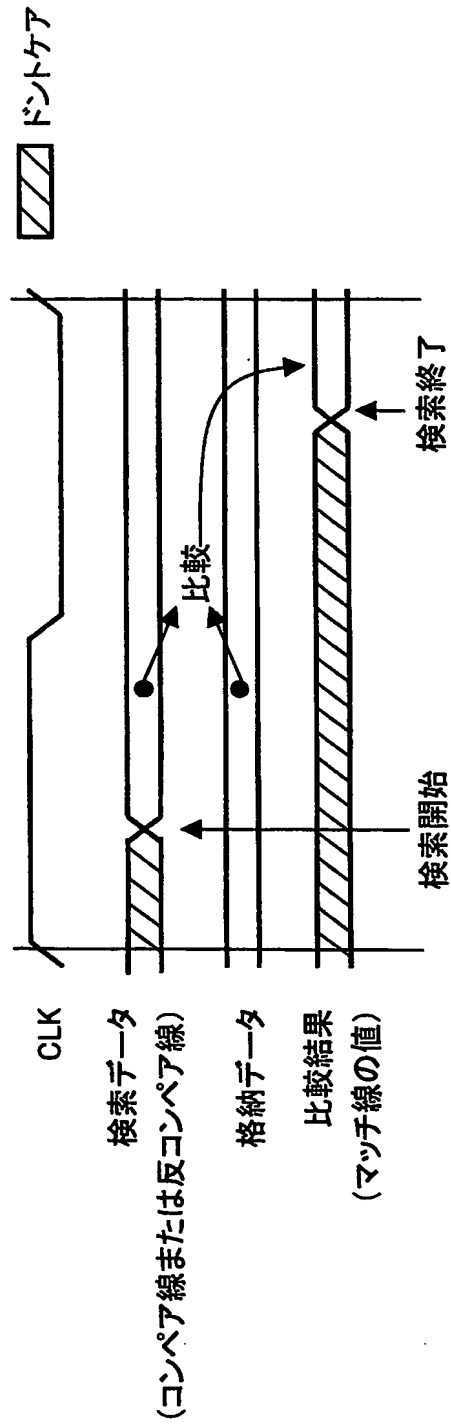
【図11】



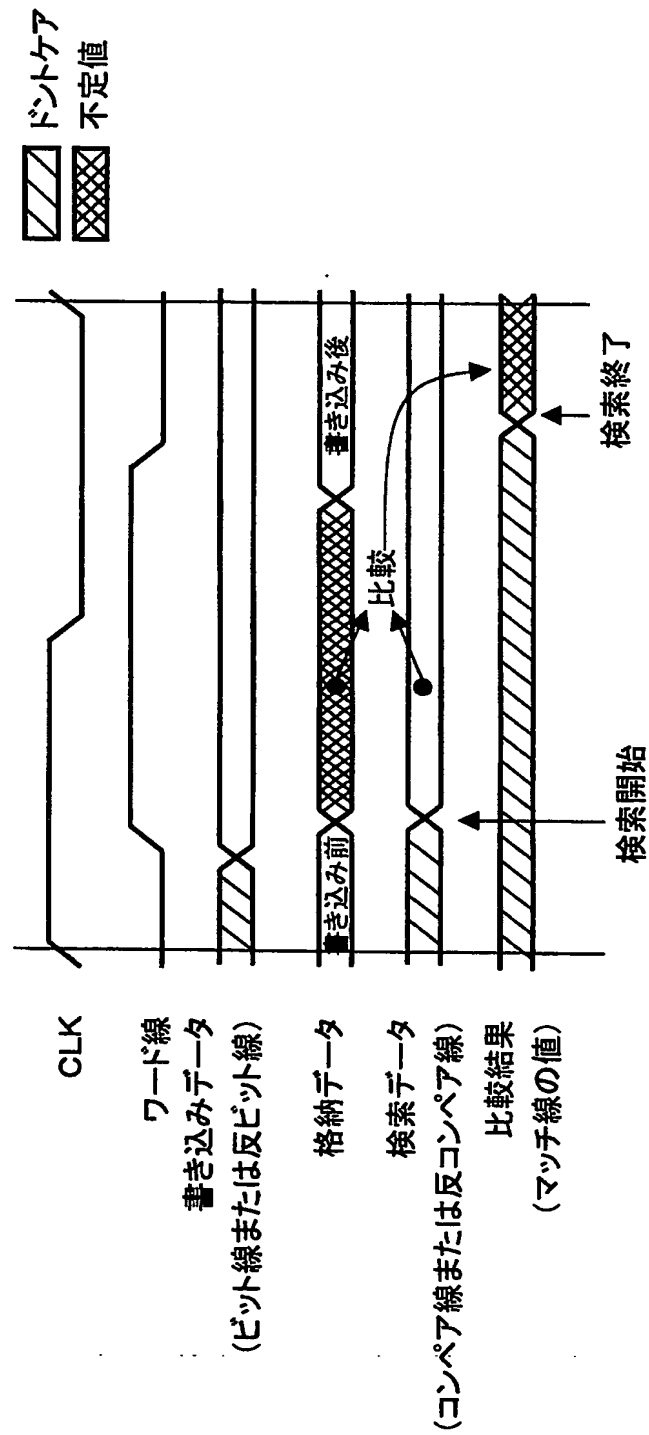
【図 12】



【図 13】



【図 14】



【書類名】 要約書**【要約】**

【課題】 書き込み動作と検索動作が同クロックサイクルにて命令された場合、メモリ部に書き込み中のデータと検索データとが比較され、検索結果が不確定になるため、書き込み動作と検索動作を同クロックサイクルにて実行することを禁止する必要があった。

【解決手段】 書き込み動作と検索動作が同クロックサイクルにて命令された場合、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなし、検索データと書き込みアドレス以外のアドレスの格納データとの比較することで検索結果を出力する。あるいは、書き込み動作と検索動作が行われるクロックサイクルを時間的に2分割し、一方をクロックサイクルの前半、もう一方をクロックサイクルの後半で動作を完結させることで、書き込み動作及び検索動作を同クロックサイクルにて行うことを可能とする。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 4 - 1 8 3 3 8 2
受付番号	5 0 4 0 1 0 4 5 4 0 5
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 6 年 7 月 1 5 日

< 認定情報・付加情報 >

【提出日】 平成16年 6月22日

特願 2 0 0 4 - 1 8 3 3 8 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社